

(2) Japanese Patent Application Laid-Open No. 8-167702 (1996) (corresponds to United States Patent No. 5,834,357):

**"FIN-SHAPED CAPACITOR AND METHOD OF MANUFACTURING THE SAME"**

The following is an extract relevant to the present application.

Referring to Fig. 5, a photolithography process is performed on a stacked film including RuO<sub>2</sub> layers 72a, 72b, 72c, and Ru layers 74a, 74b, and a TiN layer 70 to form a lower electrode pattern. As a result of patterning, a structure including the TiN layer 70 and RuO<sub>2</sub> layers 82a, 82b, 82c and Ru layers 84a, 84b stacked in alternate ways above a conductive plug 68 is obtained.

Referring to Fig. 6, aqua regia (solution in which HNO<sub>3</sub> and HCl are mixed in proportions of 3 : 1) or an aqueous solution of 5% NaOCl + 3%NaOH is used to selectively etch only Ru layers 94a and 94b of a lower electrode.

Referring to Fig. 8, BST or PZT and the like is evaporated onto a surface of the formed lower electrode to form a dielectric film of a capacitor consisting of a ferroelectric film 118.

At the next step of forming an upper electrode (second electrode, not shown), the CVD method having excellent step coverage is used due to the presence of flection on the surface of the lower electrode to evaporate a conductive metal or precious metal electrode.

特開平8-167702

(43)公開日 平成8年(1996)6月25日

(51)Int.Cl.

H01L 27/108

21/8242

27/04

21/822

識別記号

F I

7735-4M

H01L 27/10

621 A

審査請求 未請求 請求項の数24 O L (全12頁) 最終頁に続く

(21)出願番号 特願平7-257972

(22)出願日 平成7年(1995)10月4日

(31)優先権主張番号 94P34499

(32)優先日 1994年12月15日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 姜 昌錫

大韓民国京畿道水原市八達區梅灘洞810-

1番地 現代アパート103棟904號

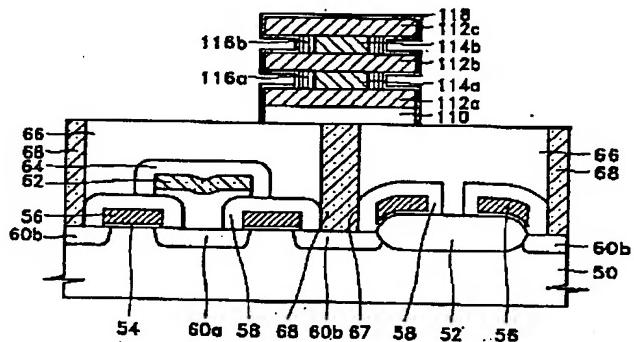
(74)代理人 弁理士 八田 幹雄 (外1名)

## (54)【発明の名称】フィン形キャパシター及びその製造方法

## (57)【要約】

【課題】 キャパシタンスを増加させ得るフィン形キャパシター及びその製造方法を提供する。

【解決手段】 導電性酸化物より構成された第1物質層112a, 112b, 112c及び導電体よりなる第2物質層114a, 114bが交互に積層され、前記第2物質114a, 114bの側面が内側にぼこっと凹んでフィン形の構造を形成した第1電極と、第2電極(不図示)及び前記第1電極と第2電極との間に形成された誘電物質118を含めて構成されてたフィン形キャパシタ。



## 【特許請求の範囲】

【請求項1】 導電性酸化物よりなる第1物質層及び導電体よりなる第2物質層が交互に積層され、前記第2物質層が蝕刻されてその幅が第1物質層の幅より短くなつてフィン形構造を形成する第1電極と、

第2電極と、

前記第1電極と第2電極との間に形成された誘電物質とを含めてなることを特徴とするキャパシター。

【請求項2】 前記第2物質層の露出面が酸化層で覆われていることを特徴とする請求項1記載のキャパシター。

【請求項3】 前記第2物質層の露出面を覆う前記酸化層の厚さが50～200Åであることを特徴とする請求項2記載のキャパシター。

【請求項4】 前記第1電極の前記第1物質層はルテニウム酸化物(Ruthenium oxide)、インジウムスズ酸化物(Indium Tin oxide)、オスミウム酸化物(Osmium oxide)及びイリジウム酸化物(Iridium oxide)よりなるグループから選択された物質より構成されたことを特徴とする請求項1記載のキャパシター。

【請求項5】 前記第1電極の第2物質層は白金(Pt)、パラジウム(Pd)、イリジウム(Ir)、ルテニウム(Ru)、オスミウム(Os)、アルミニウム(Al)、チタン(Ti)及びタンタル(Ta)より構成されたグループから選択された物質より構成されることを特徴とする請求項1記載のキャパシター。

【請求項6】 前記誘電物質がPZT(Pb(Zr,Ti)O<sub>x</sub>)、PLZT((Pb,La)(Zr,Ti)O<sub>x</sub>)、Bi<sub>x</sub>Ti<sub>y</sub>O<sub>z</sub>、ジルコン鉛(lead zirconate)、BST(BaSrTiO<sub>x</sub>)、STO(SrTiO<sub>x</sub>)、五酸化タンタル、酸化シリコン、ONO(oxide-nitride-oxide)、チタンシリケート、シリコンニトリド、酸化チタン、チタン鉛及びSrBi<sub>x</sub>Ta<sub>y</sub>O<sub>z</sub>とよりなる群の中で選択された少なくともいずれか一つであることを特徴とする請求項1記載のキャパシター。

【請求項7】 前記第2電極がRu、Pt、Ti及びIrとよりなる群の中で選択されたいずれか一つを含むことを特徴とする請求項1記載のキャパシター。

【請求項8】 前記第2電極がポリシリコンを含めて構成され前記誘電物質が五酸化タンタルを含めて構成されることを特徴とする請求項1記載のキャパシター。

【請求項9】 前記キャパシターがトランジスタの電極に連結されてDRAMセル又は不揮発性メモリセルとを構成することを特徴とする請求項1記載のキャパシター。

【請求項10】 前記キャパシターが、前記第1電極と半導体基板上のソース領域を電気的に接続させる導電性プラグと、

前記第1電極と前記導電性プラグとの間に形成される拡散障壁をさらに含めて構成されることを特徴とする請求

## 項1記載のキャパシター。

【請求項11】 導電性酸化物よりなる第1物質層及び導電体よりなる第2物質層を交互に積層する段階と、写真蝕刻方法で前記積層された第1物質層及び第2物質層をバーニングする段階と、

前記第1物質層と第2物質層に対して蝕刻選択性を有する蝕刻液又は蝕刻ガスで選択的蝕刻を行つてフィン形構造の第1電極を形成する段階と、

前記第1電極上に誘電物質を積層する段階と、

前記誘電物質の上部に第2電極を形成する段階とを含めて構成されたことを特徴とするキャパシターの製造方法。

【請求項12】 前記フィン形構造の第1電極中の第2物質層の露出面を酸化する段階をさらに含めてなることを特徴とする請求項11記載のキャパシターの製造方法。

【請求項13】 前記第2物質層の露出面の酸化の結果形成された酸化物層の厚さが50～200Åであることを特徴とする請求項12記載のキャパシターの製造方法。

【請求項14】 前記第1電極の前記第1物質層はルテニウム酸化物、インジウムスズ酸化物、オスミウム酸化物、イリジウム酸化物、とより構成されたグループより選択された物質よりなることを特徴とする請求項11記載のキャパシターの製造方法。

【請求項15】 前記第1電極の前記第2物質層はPt、Pd、Ir、Ru、Os、Al、Ti、及びTaとより構成するグループより選択された物質より構成されることを特徴とする請求項11記載のキャパシターの製造方法。

【請求項16】 前記誘電物質がPZT(Pb(Zr,Ti)O<sub>x</sub>)、PLZT((Pb,La)(Zr,Ti)O<sub>x</sub>)、Bi<sub>x</sub>Ti<sub>y</sub>O<sub>z</sub>、ジルコン鉛(lead zirconate)、BST(BaSrTiO<sub>x</sub>)、STO(SrTiO<sub>x</sub>)、五酸化タンタル、酸化シリコン、ONO(oxide-nitride-oxide)、チタンシリケート、シリコンニトリド、酸化チタン、チタン鉛及びSrBi<sub>x</sub>Ta<sub>y</sub>O<sub>z</sub>とよりなる群の中で選択された少なくとも一つであることを特徴とする請求項11記載のキャパシターの製造方法。

【請求項17】 前記第2電極がRu、Pt、Ti及びIrとよりなる群の中で選択されたいずれか一つを含むことを特徴とする請求項11記載のキャパシターの製造方法。

【請求項18】 前記キャパシター製造方法が、前記第1電極と半導体基板上のソース領域を電気的に接続させる導電性プラグを形成する段階と、

前記第1電極と前記導電性プラグとの間に拡散障壁を形成する段階とをさらに含めて構成されることを特徴とする請求項11記載のキャパシター製造方法。

【請求項19】 前記第1物質層及び第2物質層がスパッタリング工程で積層されることを特徴とする請求項1記載のキャバシターの製造方法。

【請求項20】 前記スパッタリング工程が、金属より構成された第1ターゲット及び金属酸化物とより構成された第2ターゲットとがそれぞれ装着されたスパッタリング装置を利用して、金属のみを蒸着させる段階及び金属酸化物のみを蒸着させる段階を少なくとも一回以上繰り返し行われることより構成されたことを特徴とする請求項19記載のキャバシターの製造方法。

【請求項21】 前記スパッタリング工程が、金属で構成されたターゲットのみが装着されたスパッタリング装置を利用して酸素と非活性ガスとが混合された雰囲気でスパッタリングで金属酸化物層を形成する段階と、スパッタリングチャンバーより酸素を排出させる段階と、非活性ガスのみある雰囲気でスパッタリングして金属層を形成する段階を少なくとも一回以上繰り返し行われることより構成されたことを特徴とする請求項19記載のキャバシターの製造方法。

【請求項22】 前記第1物質層はRuO<sub>x</sub>又はIrO<sub>x</sub>よりなり、前記第2物質層はRu又はIrよりなることを特徴とする請求項19記載のキャバシターの製造方法。

【請求項23】 前記第1物質層及び第2物質層が化学気相蒸着法で積層することを特徴とする請求項11記載のキャバシターの製造方法。

【請求項24】 前記化学気相蒸着法が前記第1物質層を形成する段階と前記第2物質層を形成する段階とに区分して行われることを特徴とする請求項23記載のキャバシターの製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は半導体装置のキャバシター製造方法に係り、さらに詳細にはフィン構造の電極と強誘電体膜または高誘電体膜を具備するフィン形キャバシター製造方法に関する。

##### 【0002】

【従来の技術】 DRAM(Dynamic Random Access Memory)装置の集積度が増加するにつれ、制限されたセルの面積内でキャバシタンスを増加させるために様々な方法が提案されているが、普通次の三つに分けられる。即ち、第1方法：誘電体膜を薄膜化する方法、第2方法：キャバシターの有効面積を増加させる方法、第3方法：誘電定数が高い物質を用いる方法である。

【0003】 この中で、第1方法は誘電体膜の厚さを100Å以下に薄膜化する場合フアラノードハイム(Fowler-Nordheim)電流により信頼性が低下するので大容量のメモリ素子に適用しにくいという短所がある。

【0004】 従って、最近では第2方法のキャバシターの有効面積を増やすためのものとしてシリンドラ形、フィ

ン形などの3次元構造を有するキャバシターが提案されている。

【0005】 さらに、第3方法の誘電定数の高い物質を使用する方法としては、ペロブスカイト(Perovskite)構造の強誘電体、例えばPZT(Pb(Zr,Ti)O<sub>3</sub>)又はBST(BaSrTiO<sub>3</sub>)などを誘電体膜として使用したり高誘電率物質である五酸化タンタルを誘電膜として使用する方法が提案されている。

【0006】 強誘電体は既存の酸化膜とは違って自発分極現象を有し、誘電定数が普通数百より1000程度の物質を言う。このような強誘電体を誘電体膜として用いる場合は、数百Åの厚膜の強誘電体を使用することにより10Å以下の薄い等価酸化膜厚さを実現し得る。一方、五酸化タンタルは既存の酸化シリコンや窒化シリコンに比べ3倍位の高い誘電率を有する高誘電率物質であって高集積DRAMの誘電膜として広く研究されている。

【0007】 前記PZTやBSTなどを誘電膜として用いるためには、キャバシターの電極を構成する物質が、第一に電極の表面に形成される誘電体膜がペロブスカイト構造を形成することにおいて800°C以上の高温を必要とするので電極物質が高温で安定したものでなければならなく、第二に電極と強誘電体との界面に低誘電体膜が生成されなければいけなく、第三にシリコン又は強誘電体の構成元素が相互拡散されることを防止しなければならなく、第四にそのパターニングが容易であるべき条件を満足しなければならない。

【0008】 しかしながら、現在PZTやBSTなどの強誘電物質を採用しているキャバシターの電極物質として一番多く使用されているPtは前記の第1～第3の条件は満足しているが第4の条件が満足できない。

【0009】 このため、Ruを含む物質がPZT及びBSTの電極として提案されたことがある(米国特許番号第5185689号)。

【0010】 しかしながら、前記引用技術においては電極を平板形に形成して用いたのでキャバシター有効面積が前記平板の広さに限定される問題がある。一般的に白金などの貴金属物質は蝕刻しにくいのでパターニングが容易でないという問題がある。

【0011】 図1は前記従来の方法により製造された強誘電体キャバシターを有するメモリセルを示した断面図である。

【0012】 図1を参照すれば、フィールド酸化膜12により制限される活性領域を有する半導体基板10にゲート酸化膜14、ドレイン領域18a、ソース領域18b及びゲート電極16とを具備するトランジスタと、前記ドレイン領域18aに接続される下部ピットライン20とを形成した後、結果物の全面に絶縁層を形成する。次いで、前記ソース領域18bを露出させるコンタクトホールを形成した後、前記コンタクトホールの内部を導

電物質で埋め立てて導電性プラグ22を形成する。次いで、前記結果物上に拡散障壁24及び白金よりなるキャパシター下部電極26を順に形成し、次に前記下部電極26の側壁に酸化物スペーサ28を形成する。次いで、前記結果物上にB S Tよりなる強誘電体膜30とキャパシターの上部電極32を順に形成した後上部ピットライン34及びアルミニウム配線36を順に形成する。

【0013】前記した従来の方法によりストレージノードを形成する場合、ストレージ電極の平坦な表面しか利用し得ないので面積増加には限りがある。即ち既存の強誘電体キャパシターで下部電極として使用された物質はバターニングしにくくてフィン形などの複雑な構造を形成し得ない問題があった。

【0014】一方、五酸化タンタルをキャパシター製造に使用する場合キャパシター形成後のB P S Gフローによるキャパシター特性の劣化が起こる問題があった。このような五酸化タンタルキャパシターの劣化を防ぐための電極構造としてコンキウォンらは論文“Degradation-Free Ta<sub>x</sub>O<sub>y</sub> Capacitor after BPSG Reflow at 850 °C for High Density DRAMs”(IEDM, 1993)でポリ-Si/TiN/Ta<sub>x</sub>O<sub>y</sub>/ポリ-Si構造を発表した。しかしながらこの場合、上部電極としてスパッタTiNを使用するのでストレージノードが複雑になるとTiNの段差塗布性が悪くなる問題があった。即ち既存の五酸化タンタルキャパシターでは複雑な構造の下部電極を採用することが困難であった。

#### 【0015】

【発明が解決しようとする課題】本発明の目的は強誘電体物質と共に使用されるキャパシターの電極がフィン構造と形成されてキャパシタンスの増加されたフィン構造のキャパシターを提供することである。

【0016】本発明の他の目的は前記キャパシタンスの増加されたフィン構造のキャパシターの製造方法を提供することである。

【0017】本発明のさらに他の目的は高誘電物質と高誘電物質と共に用いられ得る金属電極をバターニングすることによりキャパシタンスの増加されたフィン形キャパシター及びその製造方法を提供することである。

#### 【0018】

【課題を解決するための手段】前記目的を達成するために本発明は、導電性物質よりなる第1物質層及び導電体よりなる第2物質層が交互に積層されるものの、前記第2物質を蝕刻してその幅が第1物質層の幅より短くなつてフィン形構造を形成した第1電極と、第2電極と、前記第1電極と第2電極との間に形成された誘電物質を含めて構成されたことを特徴とするキャパシターである。

【0019】前記第1電極の前記第1物質層はルテニウム酸化物(Ruthenium oxide)、インジウムスズ酸化物(Iridium Tin oxide)、オスミウム酸化物(Osmium oxide)及びイリジウム酸化物(Iridium oxide)よりなるグループ

から選択された物質よりなることができる。前記第1電極の前記第2物質層は白金(Pt)、パラジウム(Pd)、イリジウム(Ir)、ルテニウム(Ru)、オスミウム(Os)、アルミニウム(Al)、チタン(Ti)及びタンタル(Ta)とよりなることができる。

【0020】前記第2物質層の側面の露出部は前記第2物質層の構成物質の酸化物で覆われることが望ましい。前記第2物質層の露出部を覆う前記酸化物の厚さは50～200Åであることが望ましい。

- 10 【0021】前記誘電物質はP Z T (Pb(Zr, Ti)O<sub>x</sub>)、PLZT ((Pb, La)(Zr, Ti)O<sub>x</sub>)、B i<sub>x</sub>T i<sub>y</sub>O<sub>z</sub>、ジルコニア(lead zirconate)、B S T (BaSrTiO<sub>3</sub>)、S T O (SrTiO<sub>3</sub>)、五酸化タンタル、酸化シリコン、O N O(oxide-nitride-oxide)、チタンシリケート、シリコンニトリド、酸化チタン、チタン鉛及びS r B i<sub>x</sub>T a<sub>y</sub>O<sub>z</sub>とよりなる群の中で選択された少なくともいずれか一つであることが望ましい。この中でP Z T (Pb(Zr, Ti)O<sub>x</sub>)、PLZT ((Pb, La)(Zr, Ti)O<sub>x</sub>)、B S T (BaSrTiO<sub>3</sub>)などは強誘電物質としてペロブスカイト構造を有する。

【0022】前記第2電極はR u、P t、T i及びI rとよりなる群の中で選択されたいずれか一つが含められる。

【0023】前記キャパシターはトランジスタの電極に連結されD R A Mセル又は不揮発性メモリセルを構成する。

- 30 【0024】更に、前記キャパシターは、前記第1電極と半導体基板上のソース領域を電気的に接続させる導電性プラグ及び前記第1電極と前記導電性プラグとの間に形成される拡散障壁がさらに含めて構成されることができる。

【0025】本発明によるフィン構造のキャパシター製造方法は、導電性酸化物質よりなる第1物質層及び導電体よりなる第2物質層を交互に積層する段階と、写真蝕刻方法で前記積層された第1物質層及び第2物質層をバターニングする段階と、前記第1物質層と第2物質層に対し蝕刻選択性を有する蝕刻液又は蝕刻ガスで選択的蝕刻を行つてフィン形構造の第1電極を形成する段階

- 40 と、前記第1電極上に誘電物質を積層する段階と、前記誘電物質の上部に第2電極を形成する段階とを含めて構成される。

【0026】前記キャパシターの製造方法は前記フィン形構造第1電極の中の第2物質層の露出面を酸化する段階を更に含めて構成されることがある。この際、前記第2物質層の露出面に形成される酸化の結果形成された酸化物層の厚さは50～200Åであることが望ましい。

- 50 【0027】前記第1物質層はルテニウム酸化物、インジウムスズ酸化物、オスミウム酸化物、イリジウム酸化

物とより構成されることがある。さらに、前記第1電極の前記第2物質層はPt、Pd、Ir、Ru、Os、Al、Ti及びTaとより構成され得る。

【0028】前記第2電極はRu、Pt、Ti及びIrとよりなる群で選択されたいずれか一つを含めて形成することもできる。前記キャバシター製造方法はさらに、前記第1電極と半導体基板上のソース領域を電気的に接続させる導電性プラグを形成する段階と、前記第1電極と前記導電性プラグとの間に拡散障壁を形成する段階とを含めて構成され得る。

【0029】本発明の一実施例によれば、前記第1物質層は金属酸化物で形成し前記第2物質層は金属で形成し、前記第1物質層及び第2物質層がスパッタリング工程で積層される。このスパッタリング工程は具体的に、金属より構成された第1ターゲットと金属酸化物より構成された第2ターゲットとがそれぞれ装着されたスパッタリング装置を利用して金属のみを蒸着させる段階及び金属酸化物のみを蒸着させる段階を少なくとも一回以上繰り返すことより構成される。

【0030】本発明の他の実施例によれば、前記スパッタリング工程が、金属で構成されたターゲットのみが装着されたスパッタリング装置を利用して酸素と非活性ガスとが混合された雰囲気でスパッタリングして金属酸化物層を形成する段階と、スパッタリングチャンバーより酸素を排出させる段階と、非活性ガスのみある雰囲気でスパッタリングして金属層を形成する段階を少なくとも一回以上繰り返し行われることより構成される。

【0031】ここで、前記金属はRu又はIrであり、前記金属酸化物はRuO<sub>x</sub>又はIrO<sub>x</sub>であることが望ましい。

【0032】本発明の他の実施例によると、前記第1物質層及び第2物質層が化学気相蒸着法で積層される。前記化学気相蒸着法は前記第1物質層を形成する段階と第2物質層を形成する段階に区分して行われる。

【0033】本発明のさらに他の実施例によれば、前記第2電極がポリシリコンを含めて構成され前記誘電物質が五酸化タンタルを含めて構成されることを特徴とするキャバシターが提供される。

#### 【0034】

【実施例】以下、添付した図面に基づき本発明を詳細に説明する。

#### 【0035】実施例 1

図2乃至図8は本発明の方法によりキャバシターを形成する工程を示した断面図である。

【0036】図2は半導体基板50上にコンタクトホール67及び導電性プラグ68を形成する段階を示す。フィールド酸化膜52により活性領域の限定された半導体基板50上にゲート酸化膜54及びゲート電極56を形成する。次いで、前記ゲート電極56をイオン注入マスクとして使用して不純物イオンを注入することにより、

前記基板にドレイン領域60aとソース領域60bを形成する。次に、前記結果物上に第1絶縁膜58を形成しこれを異方性蝕刻して前記ドレイン領域60aを露出させた後、前記ドレイン領域60a上に第2絶縁膜64でキャッピングされたピットライン62を形成する。次いで、前記基板50の全面に平坦化層66を形成する。次に、写真蝕刻工程で前記ソース領域60bに積層されている平坦化層66及び第1絶縁膜58を蝕刻することにより、キャバシターの下部電極をソース領域に接続させるためのコンタクトホール67を形成する。次いで、前記コンタクトホール67の形成された基板50上に導電物質、例えば不純物のトーピングされたポリシリコンを蒸着した後エッチバックすることにより、前記コンタクトホール67の内部を導電性プラグ68で埋め立てる。

【0037】図3を参照すれば、前記導電性プラグ68と、後に形成される下部電極（第1電極）との間で拡散障壁の役割をするTiN層70を数十乃至300Åの厚さに形成する。

【0038】図4を参照すれば、前記拡散障壁の上部にRuO<sub>x</sub>層72a, 72b, 72cとRu層74a, 74bを繰り返し蒸着する。この際、拡散障壁上の最初の層と最後の層はRuO<sub>x</sub>となる。

【0039】Ru層とRuO<sub>x</sub>層はアルゴン(Ar)雰囲気でDC又はRFスパッタリングや化学気相蒸着法を用いて積層する。積層される各層の厚さはそれぞれ100~1000Åであり得る。下部電極の厚さは3000Åにするが、各層が500ÅであるRuO<sub>x</sub>層を三つの層にし、各層が750ÅであるRu層を二つの層にすることが望ましい。積層厚さ及び積層層数は確保しようとする誘電容量により調節し得る。

【0040】図5を参照すれば、前記RuO<sub>x</sub>層72a, 72b, 72c及びRu層74a, 74bの積層膜及びTiN層70に対して写真蝕刻工程を行って下部電極パターンを形成する。パターニングの結果導電性プラグ68の上部にTiN層70及びRuO<sub>x</sub>層82a, 82b, 82cとRu層84a, 84bとが交互に積層された構造が得られる。この際、前記積層膜はHBr混合ガスを使用した反応性イオン蝕刻法(RIE)によりパターニングする。

【0041】図6を参照すれば、王水(HNO<sub>3</sub>とHClが3:1に混合された溶液)又は5%NaOCl+3%NaOHの水溶液を使用して下部電極のRu層94a, 94bのみを選択的に蝕刻する。Ru層94a, 94bは前記蝕刻液に溶ける反面RuO<sub>x</sub>層92a, 92b, 92cは溶けない特性を有しておるので前記選択的蝕刻が可能になる。この際、前記した湿式蝕刻のみならず乾式蝕刻も可能であり、Ruの蝕刻速度に応じて蝕刻時間を適切に調節することによりRu層が蝕刻されて凹む深さを調節し得る。

【0042】前記選択的蝕刻を行った結果としてRu層

だけ蝕刻されたステップまたはペコリと陷入された部分ができる。このステップ部分は下部電極の有効面積を増やす作用をする。前記蝕刻による効果は Ru と RuO<sub>x</sub> 層の代わりに Ir と IrO<sub>x</sub> となる構造でも同一である。

【0043】図7を参照すれば、蝕刻されたRu層の表面が酸化されてRuO<sub>x</sub> となるよう酸素雰囲気で熱処理する。この際形成されるRuO<sub>x</sub> 層 106a, 106b の厚さは 100 Å 位である。前記熱酸化の結果下部電極はいずれも RuO<sub>x</sub> で覆われるようになる。ここで Ru と RuO<sub>x</sub> は下部電極として使用されるに充分な電気伝導性を有しておる。

【0044】図8を参照すれば、形成された下部電極の表面に BST, PZTなどを蒸着して強誘電体膜 11.8 20 よりなるキャパシターの誘電膜を形成する。前記誘電膜の蒸着方法としては段差塗布性の優れたCVD法、ゾルゲル法、液体ソース化学気相蒸着法(LSCVD)法などが望ましい。

【0045】次に上部電極(第2電極、図示せず)を形成するが、この際下部電極の表面に屈曲が存するので段差塗布性の優れたCVD法を用いて導電性金属或いは貴金属電極を蒸着する。

【0046】図9は金属酸化膜と金属膜を積層してキャパシターの下部電極を形成する方法を示した。

【0047】図9Aを参照すれば、RuO<sub>x</sub> と Ru が同時に蒸着された二元ターゲットスパッタリング装置を利用して Ru/RuO<sub>x</sub> 積層膜を形成する方法が示されている。

【0048】前記スパッタリングでは Ru ターゲットのみをスパッタリングする段階1と RuO<sub>x</sub> のみをスパッタリングする段階2とをそれぞれ区分して実施し前記段階1, 2 を望む Ru/RuO<sub>x</sub> 層数ほど繰り返す。スパッタリング条件としては Ar や N<sub>2</sub> などの非活性ガス雰囲気、1~100 mTorr のチャンバ圧力及び常温~500°Cの基板温度を取ることが望ましい。

【0049】図9Bを参照すれば、Ru 単一ターゲットの装着されたスパッタリング装置を利用して Ru/RuO<sub>x</sub> 積層膜を形成するもう一つの方法が示されている。

【0050】具体的に 1~100 mTorr のチャンバ圧力、常温~500°Cの基板温度で望む Ru/RuO<sub>x</sub> 層数ほどスパッタリングを繰り返すことにより Ru/RuO<sub>x</sub> 積層膜を形成する。この際、前記スパッタリングは Ar 或いは N<sub>2</sub> などの非活性ガスを流す第1段階と前記非活性ガスに全体放電ガスの 1~50% である酸素を流して酸化性雰囲気でスパッタリングする2段階とチャンバ内部の圧力が 1 mTorr 以下になるようにチャン場内のガスを排気させてチャンバ内部の酸素を取り除く3段階に区分して行われる。

【0051】図9Cは通常の低圧気相蒸着法を利用して RuO<sub>x</sub> と Ru を順に積層する方法を示した。

【0052】化学気相蒸着で Ru と RuO<sub>x</sub> のソースは有機ルテニウム物質であるが、望ましくはそれぞれ Ru<sub>x</sub>(CO)<sub>y</sub>, Ru(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub> を使用したほうがいい。Ru<sub>x</sub>(CO)<sub>y</sub> は 300°C の真空で、Ru(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub> は 575°C の酸素雰囲気で化学反応を起こしてそれぞれ Ru 薄膜と RuO<sub>x</sub> 薄膜とより形成される。

【0053】前記化学気相蒸着は Ru(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub> と O<sub>2</sub> の混合よりなる第1反応ガスをチャンバ内に注入して RuO<sub>x</sub> 層を形成する1段階と Ru<sub>x</sub>(CO)<sub>y</sub> のみよりなる第2反応ガスを注入して Ru 層を形成する2段階と分けられて行われる。この1段階の工程と2段階の工程を繰り返し行うことにより Ru/RuO<sub>x</sub> 積層膜を形成し得る。

#### 【0054】実施例2

キャパシターの誘電膜として強誘電体薄膜の代わりに Ta<sub>x</sub>O<sub>y</sub> 又はシリコン窒化膜を用いることを除いては実施例1と同一である。Ta<sub>x</sub>O<sub>y</sub> を用いた場合層間の低誘電膜が形成されないのでさらに薄い等価酸化膜を有するキャパシターが得られる。これに反し多結晶のシリコンを下部電極として使用する従来の方法では Ta より酸化能力の良いシリコンが Ta<sub>x</sub>O<sub>y</sub> 層の酸素を取って多結晶シリコンと Ta<sub>x</sub>O<sub>y</sub> 層との間の低誘電物質であるシリコン酸化膜を生成するようになりこれによりキャパシターの等価酸化膜が厚くなる。

#### 【0055】実施例3

Ru と RuO<sub>x</sub> の代わりに金属及びこの金属の酸化物又は窒化物を用いることを除けば実施例1と同一である。前記金属酸化物又は窒化物はその造成中の酸素又は窒素の量を調節して導電性を与えると同時に前記金属とは蝕刻特性が異なるようにする。このような性質を利用して選択的蝕刻を行うことにより実施例1のように下部電極の表面積を増やす。前記金属は Pt 又は Pd であることが望ましい。

【0056】図10は本発明による下部電極の断面図と平面図である。図10Aは本発明の方法により製造された下部電極の高さと金属層がストレージノードの内側に蝕刻されて凹んだ深さとを下部電極の断面図を通じて示した。H は下部電極の高さを示し、x は下部電極の内側に蝕刻されて凹んだ金属層の深さを示す。

【0057】図10Bは本発明の下部電極の平面図である。ここで下部電極の上部表面は正方形でありその一边の長さを a と示した。

【0058】図10A及び図10Bで示した a, H 及び x を利用して下部電極の有効面積 S を次のように計算することができる。

【0059】 $S = \text{キャップ面積} + \text{側面積} + \text{面積増加分} = a^2 + 4aH + [2ax + 2x(a - 2x)] \times 2n$   
但し a は下部電極の上部表面が正方形である場合の一辺の長さを示し、x は第2物質層が蝕刻されて凹んだ長さを示し、H は下部電極の長さを示し、n は Ru 層数を示

す。

【0060】aを256M DRAMと1G DRAMでそれぞれ0.7μm、0.4μmとし、Hを0.3μmとした時のキャバシタ下部電極の有効面積の増加値

金属層数	1G DRAM			256M DRAM		
	x=0.05 μm	x=0.10 μm	x=0.15 μm	x=0.10 μm	x=0.15 μm	x=0.15 μm
無し	0.64	0.64	0.64	1.33	1.33	1.33
1層	0.78	0.88	0.94	1.81	2.08	2.29
2層	0.92	0.95	1.24	2.29	2.83	3.25
3層	1.06	1.36	1.54	2.77	3.58	4.21

【0062】(註) 有効面積の増加値の単位は $\mu\text{m}^2$ である。

【0063】前記表より判るように本発明により金属層を例えれば3層に使用すると1G DRAMと256M DRAMのキャバシタ投影面積で有効面積がそれぞれ2.13倍、3.17倍増加する効果がある。

#### 【0064】実施例4

五酸化タンタルで誘電膜を形成することと上部電極を形成する工程が付け加わったことを除けば実施例1と同一である。

【0065】図11乃至図12は前記図7に示された下部電極に連続して五酸化タンタル誘電膜及び上部電極を形成する工程を順次に示した断面図である。

【0066】図11は図7で形成された下部電極120の表面に五酸化タンタル層122を形成したものを見た。

【0067】前記五酸化タンタル層122は具体的に、400~500°Cの温度と400mTorrの圧力でT a (C<sub>2</sub>H<sub>2</sub>)<sub>n</sub>とO<sub>2</sub>を原料として形成される。

【0068】図12を参照すれば、前記下部電極120及び五酸化タンタル層122に対しUV-オゾン及び乾燥酸素熱処理を行った後上部電極の形成ためのポリシリコン124を蒸着する。前記蒸着は具体的にSiH<sub>4</sub>と3%PH<sub>3</sub>ガスを使用して570°Cの温度で低圧化学気相蒸着法を用いてなる。

【0069】図13乃至図14は前記実施例による本発明の効果を表として示した。図13を参照すれば、キャバシタの有効面積(横軸)に対応して必要な誘電膜をシリコン酸化膜に換算した厚さを(縦軸)を示した。256M DRAM及び1G DRAMキャバシタの投影面積をそれぞれ0.4μm×0.9μm, 0.34μm×0.5μmとし、DRAMの駆動に要するキャバシタンスはセル当たり25fFと仮定した。さらに、選択的蝕刻により中心方向に蝕刻されて凹む深さは0.15μmと仮定した。

【0070】0.5μm高さのスタック形キャバシタの場合だと、キャバシタの有効面積はキャバシタの占める面積の約5倍であるので、256M DRAM及

び次の表通りである。

#### 【0061】

##### 【表1】

び1G DRAMに要するキャバシタンスを確保するための五酸化タンタルの酸化膜の厚さはそれ23Å, 18Å以下になるべきである。これは五酸化タンタルの薄膜化の限界に近接するものか薄膜化の不可能な厚さになるものである。従って、五酸化タンタルの薄膜化の限界内でDRAMに必要な有効キャバシタンスを得るためにキャバシタの占有面積に対する有効キャバシタ一の面積との比が256Mでは5以上、1Gでは11以上にならなければならない。しかしながら、このような有効キャバシタ面積/占有面積を得るためにには下部電極がシリンダ又は二重シリンダ構造となるべきでありこの場合五酸化タンタルを使用することは不可能である。

【0071】図14は本発明の方法によるフィン形下部電極に五酸化タンタルを適用する場合、RuO<sub>x</sub>/Ru積層の下部電極のRu層の層数に応じた有効キャバシタ一面積/キャバシタ占有面積及び256M DRAMで25fFを得るために必要な誘電膜をシリコン酸化膜に換算した厚さの関係を示した。下部電極の厚さは0.5μmと仮定した。256M DRAMではRuが2層以上であれば32Åの有効酸化膜の換算厚さを有する五酸化タンタル層を利用して25fF以上のキャバシタンスが確保できることが判る。

【0072】以上、本発明を具体的な実施例を挙げて説明したが、これは当業者によりさらに改良及び変形することができる。例えば上記各実施例においては、第1物質としてRuO<sub>x</sub>を用い、第2物質としてRuを用いたものであるが、第1物質としては、RuO<sub>x</sub>の他に、インジウムスズ酸化物、オスミウム酸化物及びイリジウム酸化物などを用いることができ、第2物質としては、Ruの他に、白金(Pt)、パラジウム(Pd)、イリジウム(Ir)、オスミウム(Os)、アルミニウム(A1)、チタン(Ti)及びタンタル(Ta)などを用いることができる。また、誘電物質としても、上記実施例で用いたBST、PZT、五酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)、シリコンニトリド(シリコン窒化膜)の他に、PLZT((Pb, La)(Zr, Ti)O<sub>3</sub>)、Bi<sub>2</sub>Ti<sub>3</sub>O<sub>7</sub>、ジルコン鉛(lead zirconate)、STO(SrTiO<sub>3</sub>)、酸化シリコン、ONO(oxide-nitride)

de-oxide)、チタンシリケート、酸化チタン、チタン鉛及びSrBi<sub>x</sub>Ta<sub>y</sub>O<sub>z</sub>などを用いることができる。

【0073】また、Ru及びRuO<sub>x</sub>よりなる電極は他の形態、即ちトレンチ形、タブルボックス形、平行平板形、クラウン形又はネスティド形などで製造されることができる。

【0074】さらに、本発明の電極としては、DRAMメモリセルだけでなく不揮発性メモリセルも形成し得る。本発明のRu及びRuO<sub>x</sub>はキャバシター電極の一部だけを構成することができる。例えば電極がアルミニウムやポリシリコンで構成されその表面がRuで覆われて電極の酸化が防げる。

【0075】またさらに、本発明で触れたRu物質の外にもRuを含む物質であれば本発明のキャバシター製造に使用されることができる。例えばカルシウムルテネット、ストロンチウムルテネット、タリユームルテネット、バリウムルテネット、ビスマスルテネット及び鉛ルテネットなどを本発明によるキャバシター電極物質として使用し得る。一方電極間のキャバシター絶縁層として、さらに多様な物質を使用し得る。

【0076】上記実施例で言及した拡散障壁層は選択的な性質であって本発明の改良及び変形において必ず必要なものではない。従って、本発明は前記した特定な形態のみに限定されず、本発明の意図と観点を外れない範囲内で変形されることができる。

#### 【0077】

【発明の効果】本発明の導電性酸化物よりなる第1物質および導電体よりなる第2物質より構成された電極は酸素雰囲気で安定する。従って、本発明のキャバシター電極は酸素雰囲気でもその伝導性を保つ所、洗浄サイクル、脱イオン水灌ぎ及び空気雰囲気への露出などのような後続作業で酸化より起こる問題が防止される。これにより酸化物の蝕刻の除去や酸素よりウェーハ分離などのような別の工程無しにもキャバシター電極の電気的接触を向上させ得る。

【0078】さらに、本発明のキャバシターは強誘電体薄膜を具備するのみならずフィン形の構造を有するのでキャバシタンスが増加される。

【0079】一方、五酸化タンタルを本発明のキャバシターに使用した場合、第1電極が酸化物電極であるRuO<sub>x</sub>なので第1電極と五酸化タンタルとの間で低誘電定数を有する酸化膜の生成される現象が防止されるだけでなく、第1電極がフィン形の構造なので有効キャバシタ一面積が増えて実際に使用可能な五酸化タンタルの換算したシリコン酸化膜が厚くなり、さらに、第1電極が複雑なフィン形の構造になくとも段差塗布性の優れたポリシリコンを第2電極として利用するのでストレージノード

の全表面に均一に第2電極を形成し得る。

#### 【図面の簡単な説明】

【図1】 従来の方法により製造された強誘電体キャバシターを有する半導体メモリ装置の断面図である。

【図2】 本発明の方法によりキャバシターを製造する工程を説明するための断面図である。

【図3】 本発明の方法によりキャバシターを製造する工程を説明するための断面図である。

【図4】 本発明の方法によりキャバシターを製造する工程を説明するための断面図である。

【図5】 本発明の方法によりキャバシターを製造する工程を説明するための断面図である。

【図6】 本発明の方法によりキャバシターを製造する工程を説明するための断面図である。

【図7】 本発明の方法によりキャバシターを製造する工程を説明するための断面図である。

【図8】 本発明の方法によりキャバシターを製造する工程を説明するための断面図である。

【図9】 (A)乃至(C)は本発明によりキャバシターの下部電極を形成する方法を説明するためのグラフである。

【図10】 (A)及び(B)はそれぞれ本発明によるキャバシターの下部電極の断面図と平面図である。

【図11】 本発明によるキャバシターの下部電極上に誘電膜及び上部電極を形成する工程を順次に示した断面図である。

【図12】 本発明によるキャバシターの下部電極上に誘電膜及び上部電極を形成する工程を順次に示した断面図である。

【図13】 従来の方法と本発明の実施例によるキャバシターの有効電極の面積と誘電膜の厚さとの関係を示したグラフである。

【図14】 従来の方法と本発明の実施例によるキャバシターの有効電極の面積と誘電膜の厚さとの関係を示したグラフである。

#### 【符号の説明】

72a, 72b, 72c, 82a, 82b, 82c, 92a, 92b, 92c, 102a, 102b, 102c, 106a, 106b, 112a, 112b, 112c…RuO<sub>x</sub>層、

74a, 74b, 84a, 84b, 94a, 94b, 104a, 104b, 114a, 114b…Ru層、

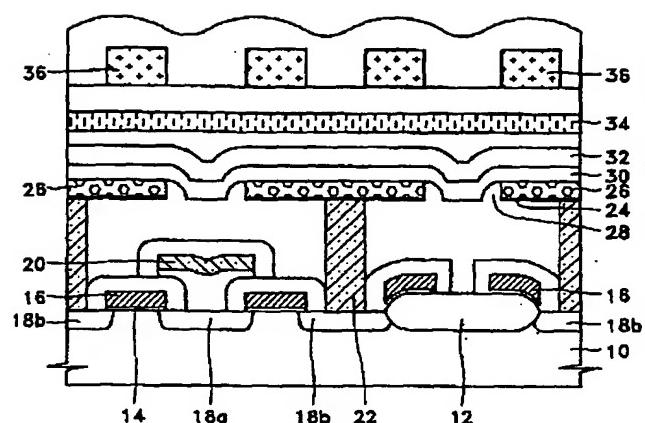
118…強誘電体膜、

120…下部電極、

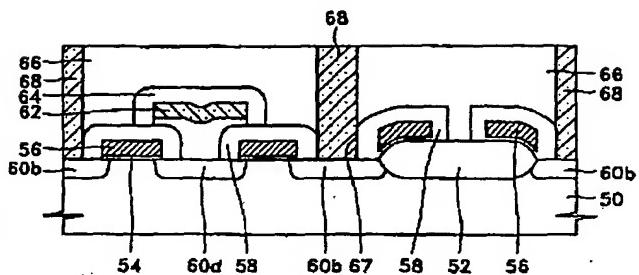
122…五酸化タンタル、

124…ポリシリコン。

【図 1】

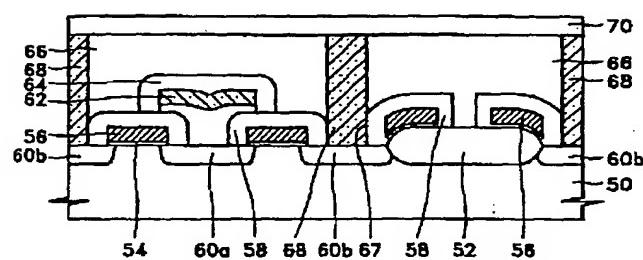


【図 2】

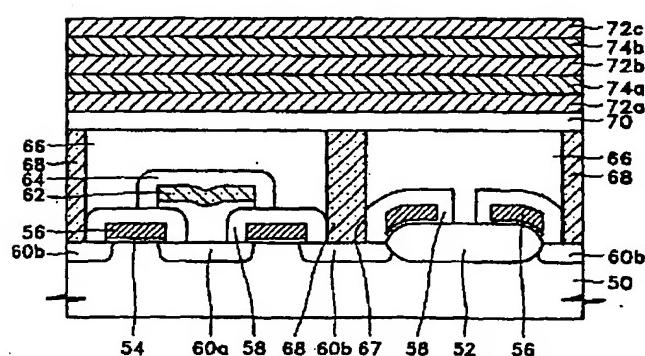


【図 9】

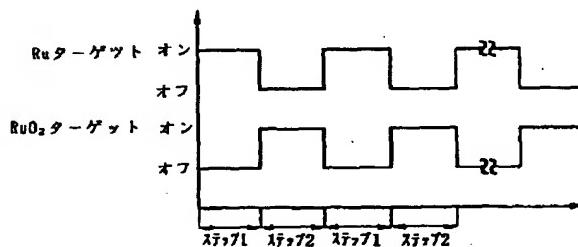
【図 3】



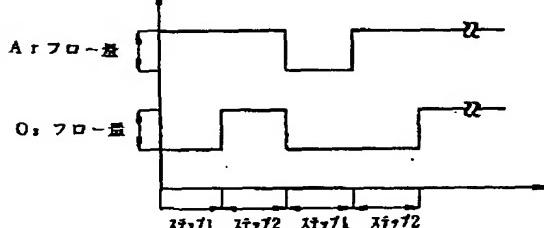
【図 4】



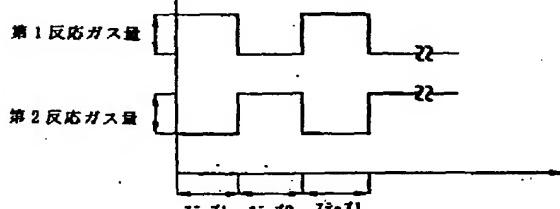
A



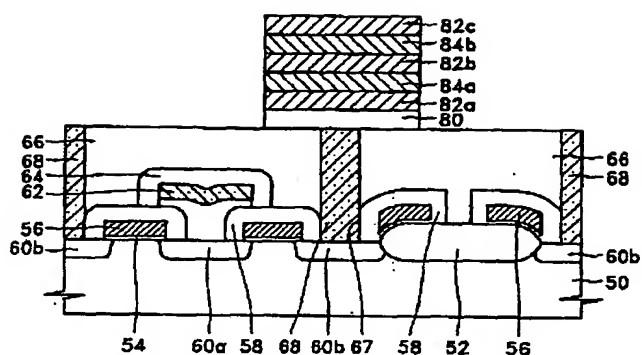
B



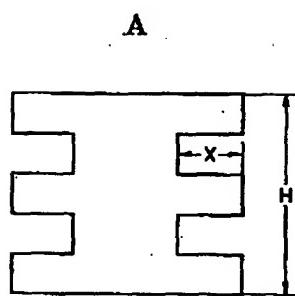
C



【図5】

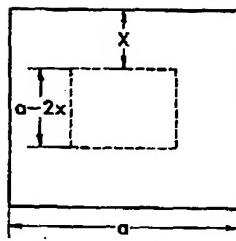
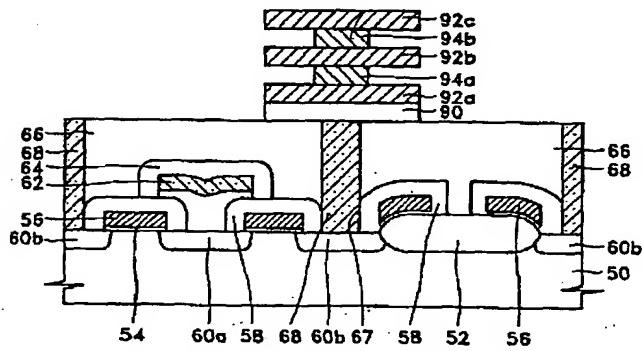


【図10】

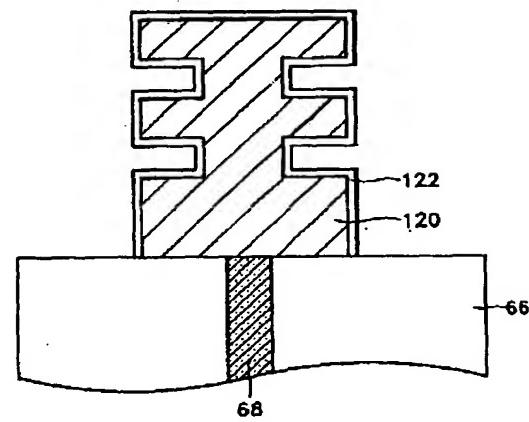
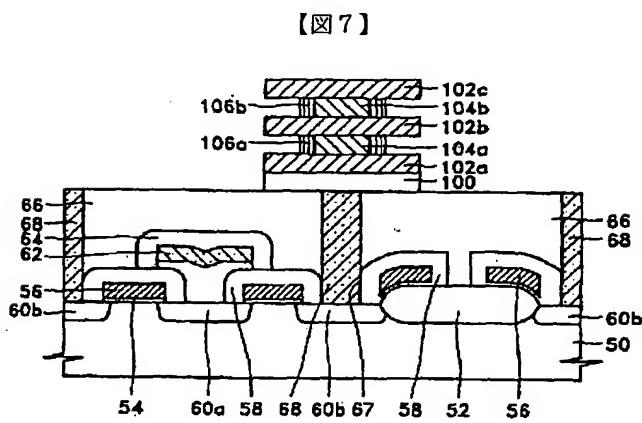


A

【図6】

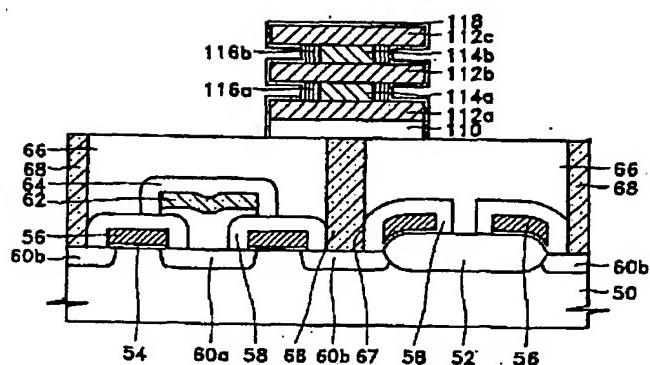


【図11】

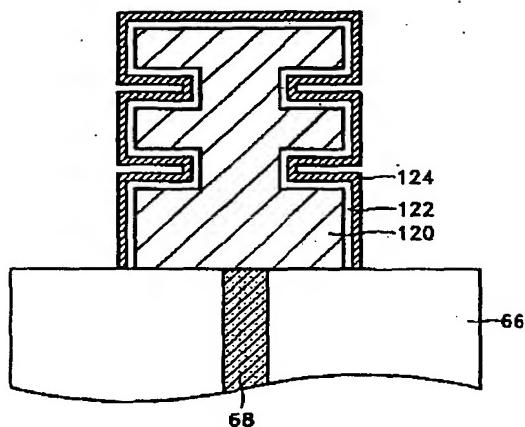


【図7】

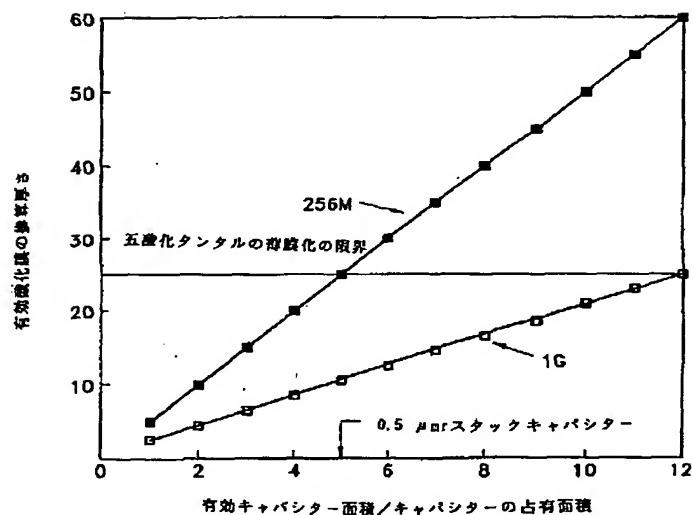
【図 8】



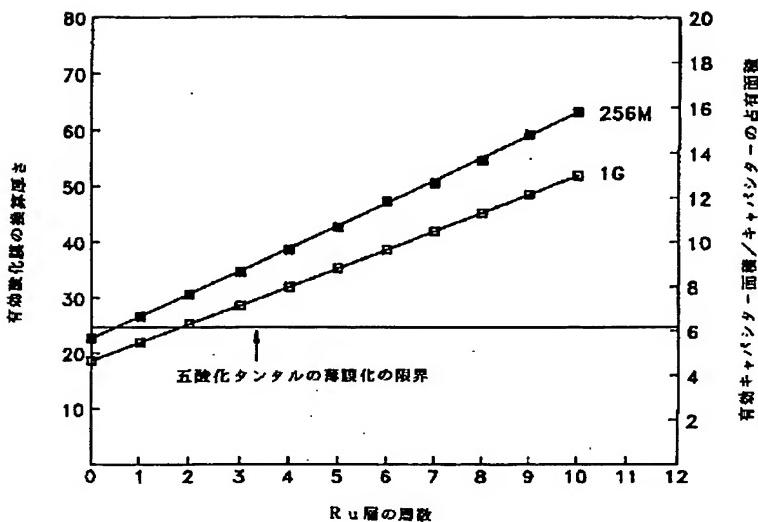
【図 12】



【図 13】



【図14】



フロントページの続き

(51) Int.Cl.<sup>6</sup>

識別記号

F I

27/04

C

7735-4M

27/10

651